

Special Instructions for Evidence Copy Box Identification

Documents in this patent application scanned prior to the scan date of this document may not have a box number present in the database. The documents are in the same box as this paper. If the patent application documents that do not have a box number are stored in more than one box, a copy of this form is placed in each box. Check the database box number for each copy of this form to identify all of the evidence copy box numbers for documents that do not have a box number.



The documents stored in this box are original application papers scanned and endorsed by PACR and imported into IFW.



The documents stored in this box were scanned into the IFW prototype for GAU 1634, 2827, or 2834.

Indexer, place an X in only one box above to indicate the documents placed in this box that were previously scanned in PACR or IFW and will not be scanned again.

PAT-NO: JP405036712A

DOCUMENT-IDENTIFIER: JP 05036712 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE AND MANUFACTURE
THEREOF

PUBN-DATE: February 12, 1993

INVENTOR-INFORMATION:

NAME

HIGUCHI, HIROHISA

TAKASE, HIROYUKI

HARADA, MASAMI

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

HITACHI VLSI ENG CORP

COUNTRY

N/A

N/A

APPL-NO: JP03192853

APPL-DATE: August 1, 1991

INT-CL (IPC): H01L021/331, H01L029/73 , H01L021/76

US-CL-CURRENT: 257/508, 438/363 , 438/FOR.167

ABSTRACT:

PURPOSE: To prevent a leakage current to an emitter region by removing an insulating film in a bottom of a shallow trench isolator, filling with polysilicon, and using it as a collector lifting port.

CONSTITUTION: First, a shallow groove 1b and a deep groove 1A are formed, and an insulating film 7 is formed on its inner walls. Then, the entire

surface is coated with photoresist, the resist is etched back without exposing to light, and the photoresist 8 remains in the groove 1A. Then, reactive ion etching is conducted, the film in the bottom of the groove 1b is removed, and part of an N<SP>+</SP> type buried layer 2 is exposed. Thereafter, the photoresist 8 in the groove 1A is removed, the entire surface is covered with polysilicon, etched back, and the polysilicon is filled in the grooves 1A, 1b. Further, N-type impurities are ionimplanted to the polysilicon, and a collector lifting port is formed in the groove 1b. Thus, a leakage current to an emitter layer can be prevented by a simple process.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-36712

(43)公開日 平成5年(1993)2月12日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 21/331				
29/73				
21/76	Q	9169-4M		
		7377-4M	H 0 1 L 29/ 72	

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号 特願平3-192853

(22)出願日 平成3年(1991)8月1日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72)発明者 樋口 裕久

東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

(74)代理人 弁理士 小川 勝男

最終頁に続く

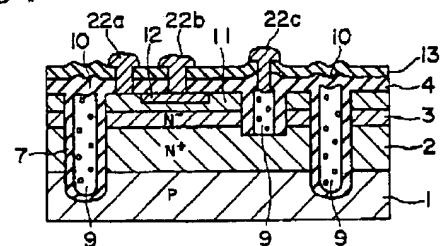
(54)【発明の名称】 半導体集積回路装置および製造方法

(57)【要約】

【構成】 ベース領域の近傍に浅いトレンチ・アイソレーションを形成するとともに、この浅いトレンチ・アイソレーションの底部の絶縁膜を除去してポリシリコンを充填することで、トレンチ・アイソレーション内部そのものをコレクタ引き上げ口としてしまうようにした。

【効果】 エミッタ領域とコレクタ引き上げ口との間のリーク電流を防止するとともに、コレクタ引き上げ口や分離領域の形成プロセスが簡単でしかも素子サイズを小さくすることができる。

【図 6】



【特許請求の範囲】

【請求項1】 半導体基板の一主面上に形成され周囲が深いトレンチ・アイソレーションからなる分離領域で囲まれてなる素子領域には、ベース領域とエミッタ領域が形成されているとともに、上記分離領域の内側には上記ベース領域に隣接して浅いトレンチ・アイソレーション構造のコレクタ引上げ口が形成されてなることを特徴とする半導体集積回路装置。

【請求項2】 半導体基板の一主面上の素子となる領域の周囲に深い溝を、またコレクタ引上げ口となる部分に浅い溝を形成し、その内壁に絶縁膜を形成してからホトレジストを全面的に塗付した後エッチバックを行なって深い方の溝内にのみホトレジストを残し、これをマスクにして浅い方の溝の底部の絶縁膜を除去してからポリシリコンを充填させてコレクタ引上げ領域を形成するようにすることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体技術さらには半導体集積回路装置に適用して特に有効な技術に関するもので、例えば半導体集積回路におけるバイポーラ・トランジスタの形成に利用して有効な技術に関する。

【0002】

【従来の技術】従来、バイポーラ集積回路においては、各素子間を分離するアイソレーション領域として、熱酸化による厚いフィールド酸化膜の代わりに、半導体基板に溝を掘って内側に絶縁膜を形成してから誘電体で埋めてなるいわゆるトレンチ・アイソレーションを使用し、ベース領域やコレクタ領域（埋込層）の周囲をほぼ垂直なアイソレーション領域の壁に接触させて接合面積を減らすことによって、ベース・コレクタ間やコレクタ・基板間の接合容量を低減し、トランジスタの高速化を図ると共に、集積度も向上させるようにした技術が提案されている（例えば、特開昭60-103642号公報）。一方、ベース領域とコレクタ引上げ口との分離に関しては、フィールド酸化膜を用いたものと、素子間分離用のトレンチ・アイソレーションよりも浅いトレンチ・アイソレーションで分離するようにしたもののが提案されている。

【0003】

【発明が解決しようとする課題】従来のフィールド酸化膜を用いてベース領域とコレクタ引上げ口との分離を行なう構造においては、フィールド酸化膜がトレンチ・アイソレーションに比べて面積が大きくなるため素子サイズが大きくなり高集積化が困難になるとともに、フィールド酸化膜はそれほど深く形成されないため、エミッタ領域とコレクタ引上げ口との間でリーク電流が流れ易いという欠点がある。一方、ベース領域とコレクタ引上げ口との間を浅いトレンチ・アイソレーションで分離するようにしたものにあつては、トレンチ・アイソレーショ

ンの溝を2回に分けて形成するとともにコレクタ引上げ口への不純物の打込みやコンタクト穴の開孔等が必要となり、プロセスが複雑になるという問題点がある。

【0004】本発明の目的は、エミッタ領域とコレクタ引上げ口との間のリーク電流を防止するとともに、コレクタ引上げ口や分離領域の形成プロセスが簡単でしかも素子サイズを小さくすることができるような半導体技術を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0005】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。すなわち、ベース領域とコレクタ引上げ口との間に浅いトレンチ・アイソレーションを形成するとともに、この浅いトレンチ・アイソレーションの底部の絶縁膜を除去してポリシリコンを充填することで、トレンチ・アイソレーション内部そのものをコレクタ引上げ口としてしまうようにしたものである。また、上記の場合、浅い溝と深い溝を形成し、その内壁に絶縁膜を形成してからホトレジストを全面的に塗付し、これを感光せずにレジストのエッチバックを行なって深い方の溝内にのみホトレジストを残してこれをマスクにして浅い方の溝の底部の絶縁膜を除去してからポリシリコンを充填させるようにする。

【0006】

【作用】上記した手段によれば、ベース領域とコレクタ引上げ口との分離にトレンチ・アイソレーションを用いているためフィールド酸化膜を用いた場合に比べてアイソレーション領域を深く形成できエミッタ領域とコレクタ引上げ口との間のリーク電流を防止できる。また、トレンチ・アイソレーション内部そのものをコレクタ引上げ口としているため、ベース領域とコレクタ引上げ口との分離にトレンチ・アイソレーションを形成する場合に比べて素子サイズを小さくすることができ、しかも自己整合的に形成するためトランジスタの特性のバラツキも小さくすることができる。

【0007】さらに、浅い溝と深い溝を形成し、その内壁に絶縁膜を形成してからホトレジストを全面的に塗付し、これを感光せずにレジストのエッチバックを行なって深い方の溝内にのみホトレジストを残してこれをマスクにして浅い方の溝の底部の絶縁膜を除去するにすれば、マスクおよび露光工程を追加することなく浅い方の溝の底部の絶縁膜の除去およびコレクタ引上げ口形成のためのイオン打込みができるため、コレクタ引上げ口へのイオン打込みのマスクが不要になる分従来に比べてプロセスを簡略化することができる。

【0008】

【実施例】以下図面を用いて本発明の一実施例を説明する。図1～図6は、本発明を適用したバイポーラ・トラ

ンジスタの一実施例を製造工程順に示したものである。まず、P型単結晶シリコンからなる半導体基板1の表面に、酸化シリコン膜等をマスクにして選択的にN型不純物を導入して、N+型埋込層2を形成する。N+型埋込層2の上には気相成長法によりN-型エピタキシャル層3を形成した後、熱酸化を行なって基板表面に酸化シリコン膜4を形成する。それから、酸化シリコン膜4の上に窒化シリコン膜5をCVD法等により被着した後、この窒化シリコン膜5には、素子の境界(トランジスタが形成されるべき領域の周囲)に相当する部分及びコレクタ引上げ口となる部分に開口部5a, 5bを形成する(図1参照)。

【0009】次に、ホトレジストを塗付して露光し、コレクタ引上げ口となる部分を覆うようにレジスト6を残し、上記窒化シリコン膜5をエッチングマスクとして1回目の異方性ドライエッチングを行なって、まずN-型エピタキシャル層3を貫通してN+型埋込層2に達するような溝1a, 1aを形成する(図2参照)。それから、上記レジスト6を除去して2回目の異方性ドライエッチングを行ない、N+型埋込層2を貫通して半導体基板1の表面まで達するような深い溝1A, 1Aとエピタキシャル層3のみを貫通するような浅い溝1bとを形成する(図3参照)。

【0010】しかる後、熱酸化を行なって溝の内壁に酸化シリコン膜を形成し、さらに必要に応じて窒化シリコン膜等の被着を行なったりして、溝内に絶縁膜7を形成する。それから、ホトレジストを全面的に塗付した後、感光せずにレジストのエッチバックを行なって深い方の溝1A, 1A内のみホトレジスト8を残す。そして、上記絶縁膜7およびホトレジスト8をマスクにして反応性イオンエッチングを行なって浅い方の溝1bの底部の絶縁膜を除去し、N+型埋込層2の一部を露出させる(図4参照)。

次に、深い方の溝1A, 1A内のホトレジスト8を除去してからポリシリコンを全面的に被着してエッチバックを行なって溝1A, 1Aおよび1b内にポリシリコン9を残す。そして、リンのようなN型不純物をイオン打込みでポリシリコン9に導入してこれを低抵抗化する。これによって、浅い溝1b内には、N型ポリシリコンからなるコレクタ引上げ口が形成される(図5参照)。

【0011】次に、熱酸化を行なって各ポリシリコン9の表面に酸化シリコン膜10を形成してから、マスクとなった窒化シリコン膜5を一旦除去し、選択的イオン打込み等によりベース領域11、エミッタ領域12を形成する。それから、窒化シリコン膜および/またはPSG(リン・シリケート・ガラス膜)のような層間絶縁膜13を被着し、この層間絶縁膜13および上記酸化シリコン膜4, 10にベース、エミッタおよびコレクタのコンタクト穴をあける。その後、アルミニウム層を全面的に蒸着してからパターニングを行なって、アルミ電極22

a, 22b, 22cを形成して図6に示すような状態とされる。

【0012】図6の状態の後、アルミ電極22a~22cの上にファイナル・パッシベーション膜が形成されて完成状態とされる。なお、上記実施例では、ベース領域11およびエミッタ領域12の形成を、イオン打ち込みによって行なうと説明したが、酸化シリコン膜4に開口部を形成してからポリシリコンを被着し、このポリシリコンからの不純物拡散によってベース領域11およびエミッタ領域12をそれぞれ形成するようにしてもよい。

【0013】なお、上記実施例では、素子間分離用のトレンチ・アイソレーション領域となる深い溝とコレクタ引上げ口となる浅い溝を分離して形成しているが、図7に示すように、これらの溝を連続させて階段状に形成させてさらに集積度を高めるようにしても良い。この場合、トレンチ・アイソレーション領域内のポリシリコンにコレクタ電圧が印加されるため、基板との間の寄生容量がコレクタ端子に接続されることになる。しかし、バイポーラ集積回路を構成するトランジスタの中には、コレクタ端子が電源電圧端子に接続され電位が変化しないものもあるので、そのようなトランジスタには図7の構造を適用し、コレクタ電位の変動するトランジスタには図6のような構造を適用することで寄生容量による特性劣化を回避しつつ集積度を高めることができる。

【0014】以上説明したように、上記実施例は、ベース領域の近傍に浅いトレンチ・アイソレーションを形成するとともに、この浅いトレンチ・アイソレーションの底部の絶縁膜を除去してポリシリコンを充填することで、トレンチ・アイソレーション内部そのものをコレクタ引上げ口としてしまうようにしたので、ベース領域とコレクタ引上げ口との分離にフィールド酸化膜を用いた場合に比べてアイソレーション領域を深く形成できエミッタ領域とコレクタ引上げ口との間のリーク電流を防止できる。また、トレンチ・アイソレーション内部そのものをコレクタ引上げ口としているため、ベース領域とコレクタ引上げ口との分離にトレンチ・アイソレーションを形成する場合に比べて素子サイズを小さくすることができ、しかも自己整合的に形成するためトランジスタの特性のバラツキも小さくすることができる。

【0015】また、コレクタ引上げ口の浅い溝と素子分離領域の深い溝を形成し、その内壁に絶縁膜を形成してからホトレジストを全面的に塗付し、これを感光せずにレジストのエッチバックを行なって深い方の溝内のみホトレジストを残してこれをマスクにして浅い方の溝の底部の絶縁膜を除去してからポリシリコンを充填させるようにしたので、マスクおよび露光工程を追加することなく浅い方の溝の底部の絶縁膜の除去およびコレクタ引上げ口形成のためのイオン打込みができるため、コレクタ引上げ口へのイオン打込みのマスクが不要になる分従

5

来に比べてプロセスを簡略化することができるという効果がある。

【0016】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例ではコレクタ引上げ口となる浅い溝内にポリシリコンを充填してからN型不純物を導入しているが、N型不純物を含有したポリシリコンを直接溝内に充填することも可能である。以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるバイポーラ・トランジスタの形成に適用した場合について説明したが、この発明はそれに限定されるものでなく、半導体集積回路一般に利用することができる。

【0017】

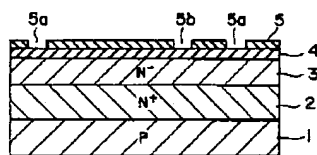
【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。すなわち、バイポーラ・トランジスタの構造において、エミッタ領域とコレクタ引上げ口との間のリーク電流を防止するとともに、コレクタ引上げ口や分離領域の形成プロセスが簡単でしかも素子サイズを小さくすることができる。

【図面の簡単な説明】

【図1】本発明を縦型バイポーラ・トランジスタの形成

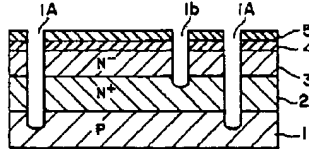
【図1】

【図1】



【図3】

【図3】



6

に適用した場合の一実施例を製造工程順に示す断面図である。

【図2】本発明を縦型バイポーラ・トランジスタの形成に適用した場合の一実施例を製造工程順に示す断面図である。

【図3】本発明を縦型バイポーラ・トランジスタの形成に適用した場合の一実施例を製造工程順に示す断面図である。

【図4】本発明を縦型バイポーラ・トランジスタの形成に適用した場合の一実施例を製造工程順に示す断面図である。

【図5】本発明を縦型バイポーラ・トランジスタの形成に適用した場合の一実施例を製造工程順に示す断面図である。

【図6】本発明を縦型バイポーラ・トランジスタの形成に適用した場合の一実施例を製造工程順に示す断面図である。

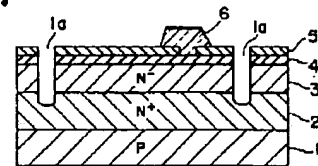
【図7】本発明の第2の実施例を示す断面図である。

【符号の説明】

- 1 半導体基板
- 2 N+型埋込層（コレクタ領域）
- 10 ベース領域
- 11 エミッタ領域
- 22a, 22b, 22c アルミ電極

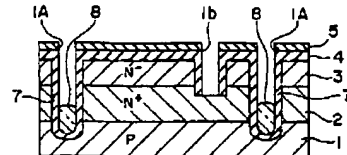
【図2】

【図2】



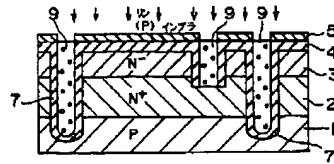
【図4】

【図4】



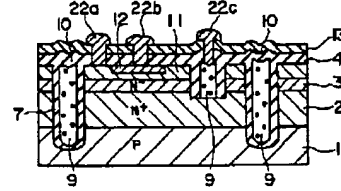
【図5】

【図 5】



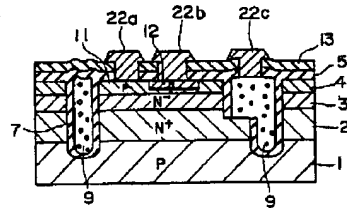
【図6】

【図 6】



【図7】

【図 7】



フロントページの続き

(72)発明者 高瀬 博行
東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 原田 雅美
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内